

1/9/1

DIALOG(R) File 351:Derwent WPI

(c) 2005 Thomson Derwent. All rts. reserv.

012542022 \*\*Image available\*\*

WPI Acc No: 1999-348128/199930

XRPX Acc No: N00-453121

**Ferroelectric random access memory device generates two driving signals of different levels for read-out and write-in operations**

Patent Assignee: SAMSUNG ELECTRONICS CO LTD (SMSU )

Inventor: CHUNG D J; KIM G N; LEE J W; JUNG D; KIM K; LEE J

Number of Countries: 005 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
CN 1211040	A	19990317	CN 98117489	A	19980908	199930 B
JP 11176169	A	19990702	JP 98254323	A	19980908	200059
KR 99024829	A	19990406	KR 9746199	A	19970908	200025
US 6198651	B1	20010306	US 98149366	A	19980908	200115
TW 430795	A	20010421	TW 98112953	A	19980806	200158
KR 297874	B	20011024	KR 9746199	A	19970908	200236

Priority Applications (No Type Date): KR 9746199 A 19970908

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
CN 1211040	A		1	G11C-011/22	
JP 11176169	A		9	G11C-014/00	
KR 99024829	A			G11C-011/22	
US 6198651	B1			G11C-011/22	
TW 430795	A			G11C-011/22	
KR 297874	B			G11C-011/22	Previous Publ. patent KR 99024829

Abstract (Basic): JP 11176169 A

NOVELTY - Cell electrode lines are arranged corresponding to word lines (WL1-WLm) respectively. Capacitor and switching transistor are arranged at intersection position of each bit line and word line. After selecting a word line, a driving signal of one level for write-in operation and driving signal for another level higher than previous level for read-out operation, are generated for driving selected word line.

DETAILED DESCRIPTION - The word lines and cell electrode lines are connected to a low decoder circuit (20). The driving signal drives the cell electrode line and corresponding selected word line for memory read-out and write-in operation.

USE - Ferroelectric random access memory device.

ADVANTAGE - Enables improving reliability of ferroelectric RAM apparatus. Enables performing complete polarization of ferroelectric material by providing read-out signal of level higher than that of write-in signal.

DESCRIPTION OF DRAWING(S) - The figure shows the block diagram of ferroelectric RAM apparatus.

Low decoder circuit (20)

Word lines (WL1-WLm)

pp; 9 DwgNo 3/4

Title Terms: FERROELECTRIC; RANDOM; ACCESS; MEMORY; DEVICE; GENERATE; TWO; DRIVE; SIGNAL; LEVEL; READ; WRITING; OPERATE

Derwent Class: U14

International Patent Class (Main): G11C-011/22; G11C-014/00

File Segment: EPI

Manual Codes (EPI/S-X): U14-A03F; U14-A09

[51] Int. Cl.<sup>6</sup>

G11C 11/22

## [12] 发明专利申请公开说明书

【21】申请号 98117489.2

[43]公开日 1999年3月17日

[11]公开号 CN 1211040A

[22]申请日 98.9.8 [21]申请号 98117489.2

### [30] 优先权

[32]97.9.8 [33]KR [31]46199/97

[71] 申請人 三星電子株式會社

地址 韩国京畿道

[72]发明人 李慎宇 金奇南 郑东镇

**[74] 专利代理机构** 中原信达知识产权代理有限责任公司

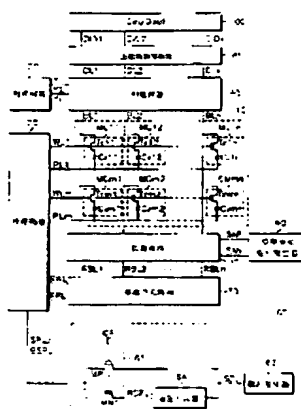
代理人 谢丽娜

权利要求书 2 页 说明书 11 页 附图页数 3 页

**[54]发明名称** 具有改善可靠性的铁电随机存取存储器器件

**[57]摘要**

揭示了一种铁电随机存取存储器(FRAM)器件,包括一条字线,一条极板线,一条位线,和一个铁电存储单元。该铁电存储单元包括一个铁电电容器和一个选择晶体管。铁电电容器的一个电极经选择晶体管与位线耦合,其另一电极与极板线耦合,选择晶体管的控制极与字线耦合。该FRAM器件还包括一个用于产生提供至极板线的一个极板脉冲信号的极板脉冲发生器。根据不同的操作模式,产生的极板脉冲信号具有不同的电压电平。



(BJ)第 1456 号

## 权 利 要 求 书

1. 一种非易失性半导体存储器器件，包括：

一条字线；

5

一条极板线；

一条位线；

一个铁电存储单元，包括一个铁电电容器和一个选择晶体管，其中，铁电电容器的一个电极经选择晶体管与所述位线耦合，铁电电容器的另一电极与所述极板线耦合，选择晶体管的控制极与所述字线耦合；  
和

10

用于产生提供至极板线的一个驱动信号的装置，其中，在写操作模式中该驱动信号为第一电压，在读操作模式中该驱动信号为高于所述第一电压的第二电压。

15

2. 根据权利要求 1 的非易失性半导体存储器器件，其特征在于所述驱动信号产生装置包括：

用于以脉冲形式产生第一电压驱动信号的装置；

用于将驱动信号第一电压提升至驱动信号第二电压的装置；和

根据一个在读操作模式时启动的外部施加控制信号选择性地将所述信号产生装置和信号提升装置的输出之一传送至极板线的装置。

20

3. 一种非易失性半导体存储器器件，包括：

一个阵列，包括：多条字线，多条与所述字线交叉的位线，多条沿字线方向伸展并与各字线一一对应的极板线，和多个分布在字线和位线交叉处的铁电存储单元；

25

一个基准阵列，包括：多条与各位线对应的基准位线，一条基准字线，一条与所述基准字线对应的基准极板线，和多个分布在基准字线和基准位线交叉处的基准单元；

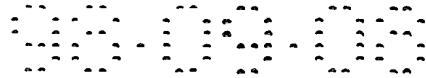
用于产生提供至被选中的极板线和基准极板线的一个驱动信号的装置，其中，写操作模式中该驱动信号为第一电压，在读操作模式中该驱动信号为一个高于第一电压的第二电压；

30

用于选择一条字线，一条与选中字线关联的极板线，基准字线和基准极板线，以及根据所述信号产生装置产生的驱动信号驱动被选中极板线和基准极板线的装置；

35

与位线和基准位线相连的装置，用于通过使用基准阵列产生的一个



基准电压检测和放大存储在一个被寻址铁电存储单元中的数据。

4. 根据权利要求 3 的非易失性半导体存储器器件，其特征在于所述信号产生装置包括：

5

用于以脉冲形式产生第一电压驱动信号的装置；

用于将驱动信号第一电压提升至驱动信号第二电压的装置；和

根据一个在读操作模式时启动的外部施加控制信号选择性地将所述信号产生装置和信号提升装置的输出之一传送至被选中极板线和基准极板线的装置。

10

5. 根据权利要求 4 的非易失性半导体存储器器件，其特征在于所述选择性传送装置包括：

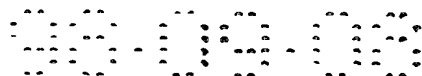
一个连接在驱动信号产生装置和选择装置之间并且由外部施加的控制信号开/关的第一开关元件；和

15

一个连接在信号提升装置和选择装置之间并且由外部施加的控制信号开/关的第二开关元件。

6. 根据权利要求 5 的非易失性半导体存储器器件，其特征在于所述第一开关元件包含一个 PMOS 晶体管，所述第二开关元件包含一个 NMOS 晶体管。

20



## 说明书

### 具有改善可靠性的铁电随机存取存储器器件

5            本发明涉及一种具有铁电存储单元的铁电随机存取存储器器件,更具体地说是涉及具有一个极板脉冲发生器的存储器器件,该极板脉冲发生器可根据操作模式产生一个具有不同电压的极板信号。

10           迄今为止,存储器系统的设计已经包含了多种存储器器件,如半导体存储器器件(即动态 RAM,静态 RAM,快擦写存储器),磁盘和其他类似器件。这意味着为支持例如一台个人计算机中的全部存储空间,仅仅使用一种存储器器件是很难办到的。

15           特别是在半导体存储器领域中,存储器器件的发展一直所追求的就是,高密度,高速读/写操作,短存取时间,低能耗等等。但仍存在着类似于现有技术中的存储器器件的一个不可避免的局限。

20           为了解决上述问题,通过使用一种如锆钛酸铅(PZT)这样显示磁滞特性的铁电材料,已经研制出了一种具有在断电时还能保留数据的功能的铁电存储器。几个关于这种铁电存储器技术的例子已经被揭示,如 IEEE 固态电路杂志(1988 年 10 月,第 23 卷,第 5 号,1171—1175 页)中,名为“一个具有铁电存储单元的试验性的 512 位非易失性存储器”的文章,以及技术文章电子文摘(1998 年 2 月 4 日,第 32 页)中,名为“一种将占领市场的新存储器技术”的文章。

25           正如本技术所熟知的,铁电材料具有自发极化特性。其自发极化方向根据一个电场的方向加以控制。现以典型的铁电材料,ABO<sub>3</sub> 类型的 PbZrO<sub>3</sub> 分子为例进行说明。一个位于 PbZrO<sub>3</sub> 分子中心的金属原子 Zr(即锆)对应一个所施加的电场有两个稳态点。由于锆原子的位移,使得锆原子定位在两个稳态点的范围之内。因此,铁电材料在电场中显示出磁滞特性和极化度。

30

35           铁电随机存取存储器(以下称为“FRAM”)是应用铁电材料磁滞特性的半导体存储器器件中的一种。这种 FRAM 通过将极化度与二进制数据对应来获得非易失性存储特性,并且可以凭借非常快的反向极化速

度进行读/写操作。

下面根据以上提到的文章对一个铁电存储器单元进行描述。图 1 显示一个铁电存储器单元 MC 的电路。该铁电存储器单元 MC 包括一个存取晶体管（也可称为“一个选择晶体管”或“一个充电转移晶体管”） $T_r$  和一个铁电电容器  $C_F$ 。该种存储器单元适用于大容量存储器。在 FRAM 的每个存储器单元中，铁电电容器  $C_F$  在其两个电极（也可称为“板电极”或“极板”）间插入了一种铁电材料。存取晶体管  $T_r$  连接在电容器  $C_F$  的两电极之一与一条位线 BL 之间，其栅极与一条字线相连。由于 FRAM 的晶体管可用一种熟悉的 CMOS 制造技术制造，因此 FRAM 在集成度方面比其他存储器更具优势。在图 1 中，符号  $C_{jun}$  表示一个在铁电电容器  $C_F$  和存取晶体管  $T_r$  之间的结电容，符号  $C_{BL}$  表示一个位线负载电容。

图 2 显示的是铁电电容器  $C_F$  的磁滞 I—V 切换回线。在图中，横坐标表示铁电电容器两极间的电势差，即电容器  $C_F$  两端间电压，纵坐标表示由自发极化所引发至铁电材料表面的充电量，即极化度（ $\mu C/cm^2$ ）。

如图 2 所示，如果铁电材料不被施加电场（即施加电压为零），在极化区内一般不发生极化。当电压沿图中正向增加时，在正向充电极化区内极化度从零升至“A”点。在点“A”，所有区域都以一个方向极化，并且极化度最大（在一个饱和状态）。在这种情况下，极化度（即铁电材料中容纳的充电量）可表示为  $Q_s$ ，所施加的电压可表示为工作电压  $V_{cc}$ 。此后，即使电压再次降低至零电压，极化度并不降低至零，而是保持在点“B”。铁电材料的充电量（即由剩余极化所得到的剩余极化度）可表示为  $Q_r$ 。

接着，如果电压沿图中负方向增加，在负反向充电极化区内极化度从点“B”变至点“C”。在点“C”，铁电材料的所有区域都以一个与点“A”极化方向相反的方向极化（或是饱和）。其极化度表示为  $-Q_s$ ，所施加的电压表示为工作电压  $-V_{cc}$ 。此后，即使电压再次降低至零电压，极化度并不降低至零，而是保持在点“D”。其剩余极化度可表示为  $-Q_r$ 。如果电压再次沿正向增加，那么极化度将从点“D”变至点“A”。

如上所述,在两电极间插入有铁电材料的铁电电容器一旦被施加以一个可产生电场的电压,即使其电极被置为浮空态,其自发极化的极化方向仍可继续保持。因为有自发极化,铁电材料的表面充电并不因漏电流而自动消耗。如果为使极化度为零而不施加电压,极化方向仍可继续保持。

FRAM 的读和写操作可通过极化反转实现,因而其操作速度是由极化反转的时间决定的。同时,铁电电容器的极化反转速度是由电容器面积,铁电薄层的厚度,施加的电压等等决定的,极化反转的速度单位通常是微秒( $\mu s$ )。这意味着 FRAM 的操作速度可以快于电可擦可编程只读存储器(EEPROM)或快擦写存储器。

下面,将对 FRAM 的读和写操作进行描述。

在 FRAM 中,一个二进制数据信号对应于图 2 中显示的磁滞回线中的点“B”和点“D”。其中逻辑值“1”对应点“B”,逻辑值“0”对应点“D”。

再回到图 1,在 FRAM 读写操作的一个初始化阶段,将执行一个检测存储单元中存储数据的操作。在该检测操作期间,位线 BL 保持为浮空态。存取晶体管  $T_r$  随后被字线 WL 导通,使得位线 BL 上的零电压施加到铁电电容器 CF 的一个电极上并且一个  $V_{cc}$  脉冲信号电平被施加到电容器的另一电极上。此时,如果铁电电容器 CF 中存储了一个逻辑值“1”,那么该电容器 CF 的极化度将经由点“C”从点“B”变化至点“D”。其结果就是,一个大小为  $dQ$  的充电量被从铁电电容器 CF 传送至位线 BL,因此使位线 BL 上的电压增大。

相反,如果电容器 CF 中存储了一个逻辑值“0”,那么该电容器 CF 的极化度将从点“D”变化至点“C”然后又回到点“D”。在这种情况下,位线 BL 上的电压没有改变。应用一种众所周知的检测电路(未显示)将位线电压与一个基准电压进行比较。如果位线电压大于基准电压,则位线电压被增大至一个工作电压值(即  $V_{cc}$  电平)。否则,位线电压被降至零电压。

在以上提到的检测操作完成后,FRAM 中的一个读或写操作开始执行。在一个实际的数据写操作过程中,一条数据线上的一个电压,如一

个  $V_{cc}$  电平的电压（即逻辑数据“1”）或零电平（即逻辑数据“0”），通过一个列选择器（参考图 4，80）被传送至位线 BL。经过一段预定时间后，铁电电容器  $C_F$  被施加以一个脉冲信号。然后，铁电电容器  $C_F$  的极化度从点“B”移动至点“D”，使得一个逻辑值数据“1”或“0”被写入存储单元。

如果一旦对存储了一个逻辑数据“1”（即在点“B”的极化度  $Q_r$ ）的存储单元执行了上述检测操作，或者对存储了一个逻辑数据“1”的铁电电容器  $C_F$  施加了一个脉冲信号，所存储的数据会因为铁电电容器  $C_F$  的磁滞特性被变为一个逻辑数据“0”（即在点“D”的极化度  $Q_r$ ）。因此，在写操作完成前，有必要将共同与字线 WL 相连的非易失性寻址存储单元中的相应铁电电容器  $C_F$  的数据状态恢复为其初始状态。该数据恢复被称为“写回”或“回复”。脉冲信号的  $V_{cc}$  电平被再次施加至已完成检测操作的存储单元的铁电电容器  $C_F$  上。因此，每一个非易失性寻址存储单元的铁电电容器  $C_F$  的极化度被从点“D”的  $-Q_r$ （代表逻辑数据“0”）恢复至点“B”的  $Q_r$ （代表逻辑数据“1”）。

如上所述，在读操作的一个检测操作中，位线 BL 保持在浮空状态。当一个  $V_{cc}$  电平的脉冲信号被施加到铁电电容器  $C_F$  时，位线 BL 的电压被提升至一个电压  $V_c$ ，表示如下：

$$V_c = \frac{C_{PZT}}{C_{PZT} + C_{BL}} * V_p$$

其中  $V_c$  表示耦合电压， $V_p$  表示施加到铁电电容器  $C_F$  另一电极上的一个电压（以下称为“极板电压”）。

基于图 1 中为人熟知的电容  $C_{jun}$  和  $C_{BL}$  的耦合，铁电电容器  $C_F$  两端的电压  $V_F$ （以下称为“一个读电压”）被降低了大约为电压  $V_c$  大小。该读电压被表示为：

$$V_F = V_p - V_c = \frac{C_{BL}}{C_{PZT} + C_{BL}} * V_p$$

其中  $V_F$  表示铁电电容器  $C_F$  两端的电压（即读电压）， $C_{BL}$  表示位线 BL 的负载电容， $C_{PZT}$  表示铁电电容器  $C_F$  的电容。



因为在写操作中，极板电压  $V_P$  为  $V_{SS}$  电平且位线 BL 上的电压为  $V_{CC}$  电平（当一个逻辑数据“1”被写入存储单元时），故在铁电电容器两电极间产生电场的电势差就是  $V_{CC}$  电平。这使得插入在铁电电容器  $C_F$  两电极间的铁电材料在点“A”或点“C”完全极化。但，读电压则因前述耦合电压  $V_C$  而被降低至  $(V_P - V_C)$ 。因此，在读操作过程中铁电电容器  $C_F$  两端的读电压  $V$  小于在写操作过程中其两端的电压  $V_{CC}$ （或  $V_P$ ）。因而，插入在铁电电容器  $C_F$  两电极间的铁电材料未能达到点“A”从而完全极化。这成为存储单元检测裕度降低的一个原因。而且，当具有多个基准单元（未显示）的基准单元阵列向检测电路（参见图 3，30）提供基准电压的情况下，由于前面所说的存储单元的同样原因，基准单元阵列不能产生所需的基准电压。其结果是，FRAM 的数据失效的可能性增加，使得 FRAM 的可靠性相对降低。

因此本发明的一个目的就是提供一种在数据读取操作中具有改进的检测裕度的铁电随机存取存储器器件。

本发明的另一个目的是提供一种可靠性得到改进的铁电随机存取存储器器件。

为达到以上目的，基于本发明的一个方案，提供了一种铁电随机存取存储器器件。该器件包括一条字线，一条极板线，一条位线和一个铁电存储单元。该铁电存储单元由一个铁电电容器和一个选择晶体管组成。铁电电容器的一个电极经选择晶体管与位线耦合，其另一电极与极板线耦合，在此处选择晶体管的控制极与字线耦合。该器件还包括用于产生提供至极板线的一个驱动信号的装置。该装置产生的驱动信号在写模式操作中为第一电压，在读模式操作中则是高于第一电压的第二电压。

在基于本发明的存储器器件中，该装置包括一个脉冲发生器，电压提升器和开关电路。脉冲发生器以脉冲形式产生第一电压的驱动信号，电压提升器接收第一电压的驱动信号并将该驱动信号的第一电压提升为驱动信号的第二电压。接着，开关电路根据一个在读模式操作过程中激活的外部施加的控制信号，选择性地向极板线传送脉冲发生器的输出电压或是电压提升器的输出电压。

根据本发明的另一个方案，提供了一种非易失性半导体存储器器件。该存储器器件包括一个阵列，具有多条字线，多条与字线交叉的位线，多条沿字线方向伸展并与各条字线一一对应的极板线，和多个分布在字线和位线交叉处的铁电存储单元，和具有多条与位线一一对应的基准位线，一条基准字线，一条与基准字线对应的基准极板线，和多个分布在基准字线和基准位线交叉处的基准单元。该存储器器件还包括用于产生提供至被选中极板线和基准极板线的一个驱动信号的装置，其中该驱动信号在写模式操作中为第一电压，在读模式操作中则是高于第一电压的第二电压。该存储器器件还包括用于选择一个字线，一个与被选中字线关联的极板线，基准字线和基准极板线，并利用从驱动信号发生装置产生的驱动信号驱动被选中极板线和基准极板线的装置，以及与位线和基准位线相连，通过使用来自基准阵列的一个基准电压检测和放大存储在一个被寻址铁电存储单元中的数据的装置。

下面将通过附图中显示的实施例（但并不作为限制）对本发明进行描述，在附图中相同符号代表相似的元件，其中：

图 1 是一个铁电存储单元的等效电路图；

图 2 是显示一个铁电电容器的磁滞特性的图形；

图 3 是一个基于本发明的一个实施例的铁电随机存取存储器器件（FRAM）的电路图；

图 4 是一个显示基于本发明的一个铁电随机存取存储器器件的读写操作的时序图。

基于本发明的一种新型非易失性半导体存储器器件，如铁电随机存取存储器器件，包括一个与一个行译码器电路 20 相连的极板脉冲发生器 60。该极板脉冲发生器 60 在一个写操作过程中向行译码器 20 提供一个  $V_{cc}$  电平的驱动信号，在一个读操作过程中则向其提供一个高于  $V_{cc}$  电平的被提升的电压电平的驱动信号。由行译码器电路 20 选中的一条极板线  $PL_i$  和一条基准极板线  $RPL$  在读操作过程中由被提升的电压电平驱动信号驱动。插入在与极板线  $PL_i$  和基准极板线  $RPL$  关联的铁电电容器两电极间的铁电材料在一个饱和状态被完全极化，即图 2 中点“A”或点“C”。由此，在读操作过程中，一个被选中的存储单元的检测裕度提高，并且在读过程中产生一个所需的基准电压。这使得铁电随机存取存储器器件的可靠性得到改进。

参见图 3，显示了一个基于本发明优选实施例的铁电随机存取存储



器器件的方框图。该铁电随机存取存储器（以下称为 FRAM）包括，一个存储单元阵列 10，一个行译码器电路 20，一个检测电路 30，一个检测驱动电平发生器 40，一个基准单元阵列 50，一个极板脉冲发生器 60，一个列译码器电路 70，一个列选择电路 80，一个主检测 & 写驱动电路 90 和一个数据输入/输出电路 100。虽然图中未显示，该 FRAM 还包括一个为人熟知的用于将位线预充电至一个预设电压（即  $V_{ss}$  电平）的位线预充电电路。

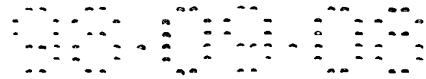
如图 3 所示，该存储单元阵列 10 包括多条字线  $WL1 \sim WLm$  和多条分布在  $m$  行并沿字线方向伸展的极板线  $PL1 \sim PLm$ ，和多条与字线  $WL1 \sim WLm$  和极板线  $PL1 \sim PLm$  交叉的位线  $BL1 \sim BLn$ 。存储电压阵列 10 还包括  $m \times n$  个布置在字线  $WL1 \sim WLm$  和位线  $BL1 \sim BLn$  交叉处的铁电存储单元  $MCmn$ 。

每一个存储单元  $MCmn$  包含一个存取晶体管（或一个充电传输晶体管） $Trij$  和一个铁电电容器  $C_{Fij}$ ，其中  $i$  代表一个 1 到  $M$  的整数， $j$  代表一个 1 到  $n$  的整数。在电容器  $C_{Fij}$  的两极板间插入有一层铁电材料。该存取晶体管  $Trij$  的一条电流通路（即一个漏—源沟道）连接在铁电电容器  $C_{Fij}$  的一个电极和一条相应位线  $BLj$  之间。晶体管  $Trij$  的栅极与一条对应的字线  $WLi$  连通。铁电电容器  $C_{Fij}$  的另一电极与一条对应的极板线  $PLi$  连通。例如，存取晶体管  $Tr11$  的电流通路在铁电电容器  $C_{F11}$  的一个电极和位线  $BL1$  之间连通，其栅极与字线  $WL1$  连通。铁电电容器  $C_{F11}$  的另一电极与对应与字线  $WL1$  的极板线  $PL1$  连通。

再次参见图 3，字线  $WL1 \sim WLm$  和极板线  $PL1 \sim PLM$  分别与行译码器电路 20 相连。当一条字线  $WLi$  被选中时，一条与被选中字线  $WLi$  对应的极板线  $PLi$  被行译码器电路 20 选中。被选中字线  $WLi$  由电平  $V_{cc}$  驱动，被选中的极板线  $PLi$  由从极板脉冲发生器 60 产生的一个极板脉冲信号  $SPL$  或  $BSPL$  驱动，以使铁电材料的所有磁畴都以一个预定方向完全极化。

每条位线  $BLj$  的一端连接至检测电路 30，另一端连接至列选择电路 80。如图 3 所示，检测电路 30 与来自检测驱动电平发生器 40 的两条检测驱动线  $SAP$  和  $SAN$ ，存储单元阵列 10 的  $n$  条位线  $BL1 \sim BLn$  以及基准单元阵列 50 的  $n$  条基准位线  $RBL1 \sim RBLn$  相连。虽然图 3 中未显示，该检测电路还可能包括一种 CMOS 锁存电路。这种检测电路在美国





数据线 DLY 之间，其中 Y 代表一个 1 到 K 的整数。对应各由列译码器电路 70 产生的行选择信号 Y1~Yn，相应的选择晶体管被导通或截止。由于在本技术领域，主检测写入驱动电路 90 和数据输入/输出电路 10 是为人熟知的，因而其说明在此忽略。

5

图 4 是一个显示基于本发明的 FRAM 的读写操作的时序图。如以上对图 1 的描述所设定的，在本实施例中，逻辑数据“1”对应图 2 中的点“B”，逻辑数据“0”对应图 2 中的点“D”。

10

### 写操作

参考图 4，在执行一个写操作前，在图 4 中的一个时段 T0~T1 中首先执行对选中存储单元（即 MC11~MC14）的一个数据检测操作。这是为了保护存储在共同与一条选中字线 WLi（即 WL1）耦合的多个未选中存储单元中的数据。

15

20

如图 4 所示，在 FRAM 的写操作的一个初始化阶段，在一个时段 T0~T1 中执行一个对共同与选中字线 WL1 耦合的存储单元 MC11~MC1n 中存储的数据的检测操作。在该检测操作过程中，位线 BLj 被维持在浮空状态。所有共同与处于高电平的选中字线 WL1 耦合的存取晶体管 Tr11~Tr1n 被导通。此时，一个由极板脉冲发生器 60 产生的脉冲信号通过行译码器电路 20 被施加至与选中字线 WL1 关联的一条极板线 PL1 和一条基准极板线 RPL 上。

25

在图 4 中，在时段 T0~T1 中，控制信号 CP 处于低电平。这使得开关电路 66 的 PMOS 晶体管 MP1 导通，NMOS 晶体管 MN1 截止。结果是，极板线和基准极板线（分别与对应铁电电容器的另一电极相连）被经导通的 PMOS 晶体管 MP1 传送的 Vcc 电平的脉冲（即 SPL）驱动。

30

此时，如果在与选中存储单元关联的各铁电电容器中存储了一个逻辑数据“1”，则每个铁电电容器的极化度从点“B”经点“C”变为点“D”。结果是，一个充电量 dQ（见图 2）从各电容器传送至对应的位线 BLj，使得位线 BLj 上的电压升高。

35

相反，如果铁电电容器中存储了一个逻辑数据“0”，则每个电容器 CF 的极化度从点“D”变为点“C”再回到点“D”。在这种情况下，位线 BLj 上的电压不发生变化。通过检测电路 30 和检测驱动电平发生

器 40 将位线电压与基准单元阵列 50 产生的一个基准电压进行比较。如果各位线电压大于基准电压，则位线电压  $BL_j$  被提升至一个工作电压电平（即  $V_{cc}$  电平）。反之，则各位线电压又被降低至零电压。

5            在上述数据检测操作完成后，FRAM 的一个实际写操作开始在时段  $T1 \sim T2$  执行。由于数据的实际写操作与前述背景材料中的相同，故其描述在此省略。

### 读操作

10            再次参见图 4，在执行一个读操作之前，位线  $BL_j$  在时段  $T2 \sim T3$  通过一个位线预充电电路（未显示）充电至一个预定电平（即  $V_{ss}$  电平）。然后，FRAM 的实际读操作在时段  $T3 \sim T4$  中执行。读操作的数据检测操作按照与写操作的数据检测操作相同的方式进行。数据检测操作（ $T3 \sim T4$ ）得到的被选中位线上的数据被直接发送到外部。读操作的数据检测操作与写操作的数据检测操作的不同之处仅在于，在读操作中极板线  $PL_i$  和基准极板线  $RPL$  是由经提升的电压电平脉冲信号  $BSPL$  驱动的，该电平高于在写操作中由极板脉冲发生器 60 产生的  $V_{cc}$  电平。下面将对此进行说明。即使在读操作过程中，如一旦对存储了一个逻辑数据“1”的存储单元执行了检测操作，则存储在该单元铁电电容器中的

15            数据会变为逻辑数据“0”。因此，在读操作完成前，由极板脉冲发生器 60 产生的  $V_{cc}$  电平脉冲信号  $SPL$  被再一次施加到检测操作已完成的存储单元的铁电电容器（即它的对应极板线）上。因此，读取后的铁电电容器的极化度被从  $-Q_r$  恢复到点“B”的  $Q_r$ 。

20           

25            我们应注意到，极板线  $PL_i$  和基准极板线  $RPL$  是由具有高于读操作中的  $V_{cc}$  电平的一个被提升电平的脉冲信号（即  $BSPL$  信号）驱动的。也就是说，如图 4 所示，控制信号  $CP$  被激活为高电平。这使得 PMOS 晶体管  $MP1$  截止，NMOS 晶体管  $MN1$  导通。行译码器电路 20 和脉冲发生器 62 之间的通路被关闭，行译码器电路 20 和电压升压器 64 之间的通路被导通，使得提升电压电平脉冲信号（即  $BSPL$ ）通过行译码器电路 20 被传送至极板线  $PL_i$  和基准极板线  $RPL$ 。

30           

此时，在读操作中施加到极板线  $PL_i$  和基准极板线  $RPL$  上的脉冲信号的电压表示为：

35

$$V_{PR} = \frac{C_{PZT} + C_{BL}}{C_{BL}} * V_{PW}$$

其中  $V_{PR}$  是在读操作中铁电电容器  $C_F$  两电极间的电压， $V_{PW}$  是在写操作中铁电电容器  $C_F$  两电极间的电压。

5

如上所述，在读操作过程中，极板线  $PLi$  和基准极板线  $RPL$  是由高于  $V_{CC}$  电平的电压  $V_{PR}$  驱动的。防止了由于位线负载电容和铁电电容器  $C_F$  电容的耦合（如图 1 所示）在读操作中造成铁电电容器  $C_F$  两端的电压降低。

10

因此，在读操作的检测时段  $T3 \sim T4$  中，铁电电容器  $CF$  两电极间插入的铁电材料在点“A”或点“C”完全极化。结果是，存储单元的检测裕度提高，使得 FRAM 的可靠性得到改善。由于在读操作的检测时段  $T3 \sim T4$  中，基准单元阵列 50 的基准极板线  $RPL$  也是由提升后的电压电平脉冲信号  $BSPL$  驱动的，因而防止了由于前述耦合现象（由铁电电容器电容和基准位线负载电容引起）造成的基准单元阵列（未显示）的铁电电容器两端电压的降低。

15

虽然本发明是以一个实施例的方式描述的，但可以理解，在所附权利要求的精神和范围内可以对以上所提出的内容付诸实践并进行修改。

20

## 说明书附图

图 1

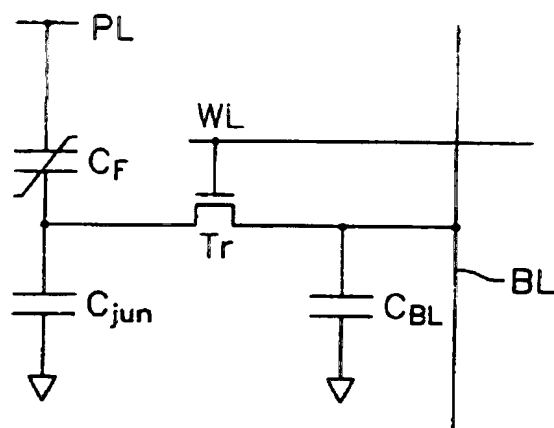


图 2

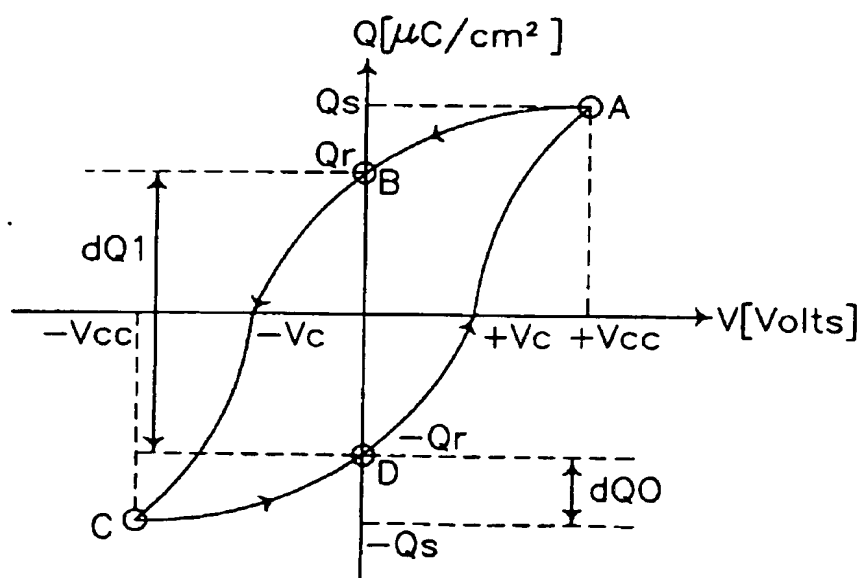




图 3

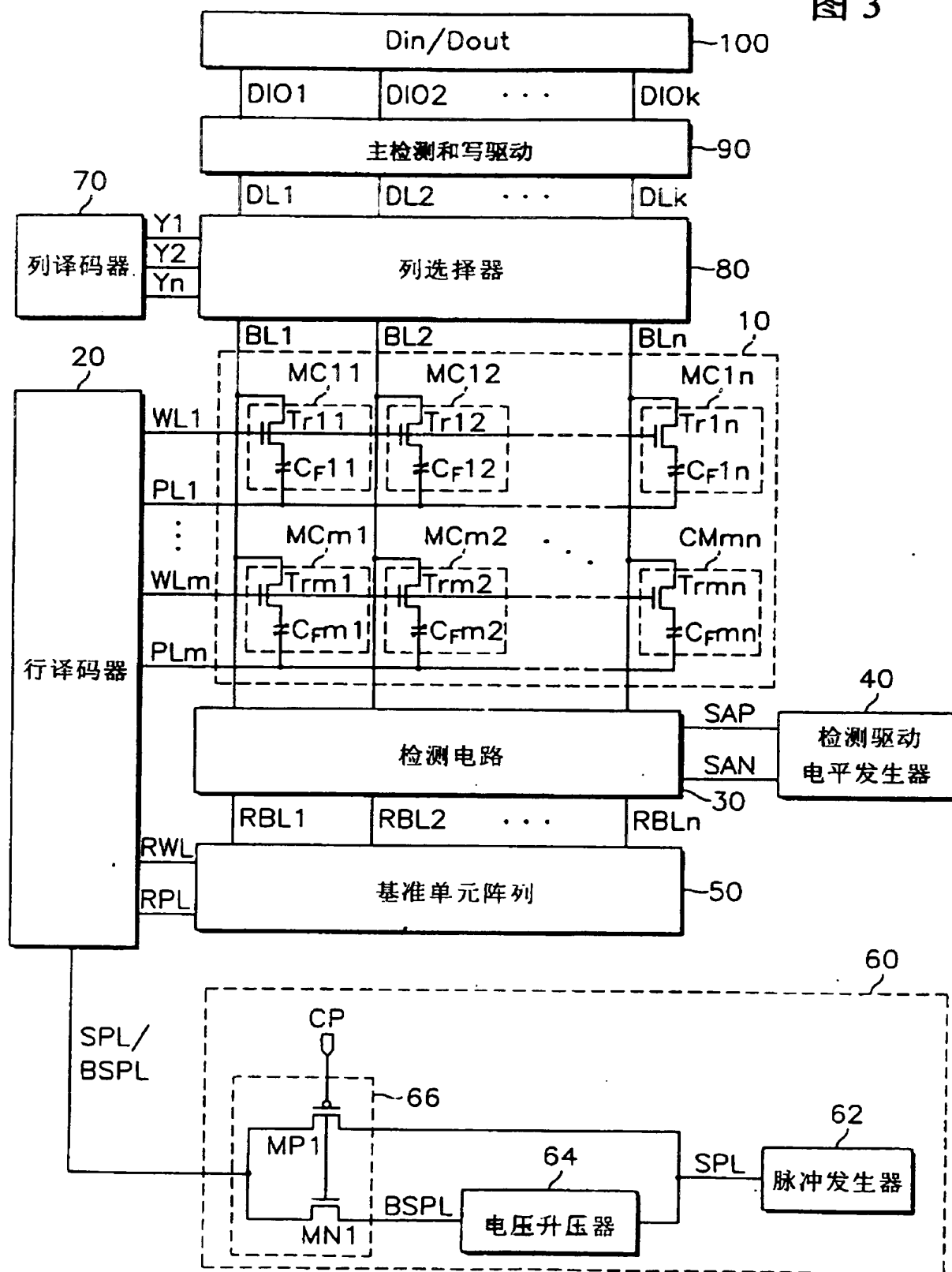


图 4

